



BUNDESGERICHTSHOF

IM NAMEN DES VOLKES

URTEIL

X ZR 6/21

Verkündet am:
10. Januar 2023
Schönthal
Justizangestellte
als Urkundsbeamtin
der Geschäftsstelle

in der Patentnichtigkeitssache

Der X. Zivilsenat des Bundesgerichtshofs hat auf die mündliche Verhandlung vom 10. Januar 2023 durch den Vorsitzenden Richter Dr. Bacher, die Richter Hoffmann und Dr. Deichfuß, die Richterin Dr. Marx und den Richter Dr. Crummenerl

für Recht erkannt:

Auf die Berufung der Beklagten wird das Urteil des 2. Senats (Nichtigkeitssenats) des Bundespatentgerichts vom 22. Oktober 2020 abgeändert.

Das europäische Patent 3 036 768 wird mit Wirkung für die Bundesrepublik Deutschland dadurch teilweise für nichtig erklärt, dass die Patentansprüche die nachfolgende Fassung erhalten:

1. A complementary metal oxide semiconductor, CMOS, device including a plurality of p-type metal oxide semiconductor, PMOS, transistors each having a PMOS drain and a plurality of n-type metal oxide semiconductor, NMOS, transistors each having an NMOS drain, comprising:
 - at least three metal layers above the drains of the transistors, comprising a first metal layer, a second metal layer and a third metal layer; wherein the first metal layer is the lowest metal layer above the drains, the second metal layer is the next metal layer above the first metal layer and the third metal layer is the next metal layer above the second metal layer;
 - a first interconnect on a first interconnect level on the first metal layer, connecting a first plurality of the PMOS drains together;
 - a second interconnect on the first interconnect level connecting a second plurality of the PMOS drains together, the second plurality of the PMOS drains being different than the first plurality of the PMOS drains, the first interconnect and the second interconnect being disconnected on the first interconnect level;
 - a third interconnect on the first interconnect level connecting a first plurality of the NMOS drains together; and

a fourth interconnect on the first interconnect level connecting a second plurality of the NMOS drains together, the second plurality of the NMOS drains being different than the first plurality of the NMOS drains, the third interconnect and the fourth interconnect being disconnected on the first interconnect level,

wherein the first interconnect, the second interconnect, the third interconnect, and the fourth interconnect are coupled together through at least one other interconnect level;

a fifth interconnect on a second interconnect level on the second metal layer, the fifth interconnect coupling the first interconnect and the second interconnect together; and

a sixth interconnect on the second interconnect level, the sixth interconnect coupling the third interconnect and the fourth interconnect together; and

a seventh interconnect on a third interconnect level on the third metal layer, the seventh interconnect coupling the fifth interconnect and the sixth interconnect together; and preferably wherein an output of the device is connected to the seventh interconnect.

2. The device of claim 1, wherein the first interconnect, the second interconnect, the third interconnect, and the fourth interconnect are each less than 2 μm in length.
3. The device of claim 1, wherein the fifth interconnect and the sixth interconnect are each less than 2 μm in length.
4. The device of claim 1, wherein the CMOS device is an inverter, the PMOS transistors each have a PMOS gate and a PMOS source, the NMOS transistors each have an NMOS gate and an NMOS source, the NMOS sources of the NMOS transistors being coupled together, the PMOS sources of the PMOS transistors being coupled together, the PMOS gates of the PMOS transistors and the NMOS gates of the NMOS transistors being coupled together.
5. The device of claim 1, further comprising:

a first set of interconnects on the interconnect level connecting different subsets of the PMOS drains together, the first set of interconnects including the first interconnect, the second interconnect, and one or more additional inter-

connects, each interconnect in the first set of interconnects being disconnected from other interconnects in the first set of interconnects on the interconnect level; and

a second set of interconnects on the interconnect level connecting different subsets of the NMOS drains together, the second set of interconnects including the third interconnect, the fourth interconnect, and one or more additional interconnects, each interconnect in the second set of interconnects being disconnected from other interconnects in the second set of interconnects on the interconnect level.

6. The device of claim 5, wherein each interconnect in the first set of interconnects and the second set of interconnects is less than 2 μm in length.

7. A method of laying out a complementary metal oxide semiconductor, CMOS, device including a plurality of p-type metal oxide semiconductor, PMOS, transistors each having a PMOS drain and a plurality of n-type metal oxide semiconductor, NMOS, transistors each having an NMOS drain,

the CMOS device including at least three metal layers above the drains of the transistors, comprising a first metal layer, a second metal layer and a third metal layer; wherein the first metal layer is the lowest metal layer above the drains, the second metal layer is the next metal layer above the first metal layer and the third metal layer is the next metal layer above the second metal layer,

the method comprising:

interconnecting a first plurality of PMOS drains with a first interconnect on a first interconnect level on the first metal layer;

interconnecting a second plurality of PMOS drains with a second interconnect on the first interconnect level, the second plurality of PMOS drains being disconnected from the first plurality of PMOS drains on the first interconnect level;

interconnecting a first plurality of NMOS drains with a third interconnect on the first interconnect level;

and interconnecting a second plurality of NMOS drains with a fourth interconnect on the first interconnect level, the second plurality of NMOS drains being disconnected

from the first plurality of NMOS drains on the first interconnect level, wherein the first interconnect, the second interconnect, the third interconnect, and the fourth interconnect are coupled together through at least one other interconnect level;

interconnecting the first interconnect and the second interconnect with a fifth interconnect on a second interconnect level on the second metal layer;

and interconnecting the third interconnect and the fourth interconnect with a sixth interconnect on the second interconnect level;

interconnecting the fifth interconnect and the sixth interconnect with a seventh interconnect on a third interconnect level on the third metal layer.

8. A method of operation of a complementary metal oxide semiconductor, CMOS, device including a plurality of p-type metal oxide semiconductor, PMOS, transistors each having a PMOS drain and a plurality of n-type metal oxide semiconductor, NMOS, transistors each having an NMOS drain,

the CMOS device including at least three metal layers above the drains of the transistors, comprising a first metal layer, a second metal layer and a third metal layer; wherein the first metal layer is the lowest metal layer above the drains, the second metal layer is the next metal layer above the first metal layer and the third metal layer is the next metal layer above the second metal layer,

the method comprising:

flowing a first current from a first plurality of PMOS drains interconnected with a first interconnect on a first interconnect level on the first metal layer;

flowing a second current from a second plurality of PMOS drains interconnected with a second interconnect on the first interconnect level, the second plurality of PMOS drains being disconnected from the first plurality of PMOS drains on the first interconnect level;

flowing a third current to a first plurality of NMOS drains interconnected with a third interconnect on the first interconnect level;

and flowing a fourth current to a second plurality of NMOS drains interconnected with a fourth interconnect on the

first interconnect level, the second plurality of NMOS drains being disconnected from the first plurality of NMOS drains on the first interconnect level,

wherein the first interconnect, the second interconnect, the third interconnect, and the fourth interconnect are coupled together through at least one other interconnect level, wherein the first current and the second current flows through said at least one other interconnect level to an output of the CMOS device upon the CMOS device receiving a low input, wherein the third current and the fourth current flows from the output of the CMOS device through said at least one other interconnect level upon the CMOS device receiving a high input;

wherein the first interconnect and the second interconnect are interconnected with a fifth interconnect on a second interconnect level on the second metal layer

and the third interconnect and the fourth interconnect are interconnected with a sixth interconnect on the second interconnect level;

wherein the fifth interconnect and the sixth interconnect are interconnected with a seventh interconnect on a third interconnect level on the third metal layer.

Im Übrigen wird die Klage abgewiesen.

Die weitergehende Berufung der Beklagten und die Berufung der Klägerin zu 1 werden zurückgewiesen.

Von den Kosten des Berufungsverfahrens tragen die Klägerin zu 1 60 % und die Beklagte 40 %. Die erstinstanzlichen Kosten des Rechtsstreits werden gegeneinander aufgehoben.

Von Rechts wegen

Tatbestand:

1 Die Beklagte ist Inhaberin des mit Wirkung für die Bundesrepublik Deutschland erteilten europäischen Patents 3 036 768 (Streitpatents), das am 21. August 2014 unter Inanspruchnahme einer US-amerikanischen Priorität vom 23. August 2013 angemeldet worden ist und den Aufbau eines Halbleiters betrifft.

2 Patentanspruch 1, auf den dreizehn weitere Patentansprüche zurückbezogen sind, lautet in der Verfahrenssprache:

A complementary metal oxide semiconductor, CMOS, device including a plurality of p-type metal oxide semiconductor, PMOS, transistors each having a PMOS drain and a plurality of n-type metal oxide semiconductor, NMOS, transistors each having an NMOS drain, comprising:

a first interconnect on an interconnect level connecting a first plurality of the PMOS drains together;

a second interconnect on the interconnect level connecting a second plurality of the PMOS drains together, the second plurality of the PMOS drains being different than the first plurality of the PMOS drains, the first interconnect and the second interconnect being disconnected on the interconnect level;

a third interconnect on the interconnect level connecting a first plurality of the NMOS drains together; and

a fourth interconnect on the interconnect level connecting a second plurality of the NMOS drains together, the second plurality of the NMOS drains being different than the first plurality of the NMOS drains, the third interconnect and the fourth interconnect being disconnected on the interconnect level, wherein the first interconnect, the second interconnect, the third interconnect, and the fourth interconnect are coupled together through at least one other interconnect level.

3 Patentanspruch 14 schützt ein Verfahren zum Anordnen, Patentanspruch 15 ein Verfahren zum Betreiben eines solchen Halbleiters.

4 Die Klägerinnen haben geltend gemacht, der Gegenstand des Streitpatents sei nicht patentfähig und gehe über den Inhalt der ursprünglich eingereichten Anmeldung hinaus. Die Beklagte hat das Streitpatent in der erteilten Fassung und mit neunundfünfzig Hilfsanträgen in geänderten Fassungen verteidigt.

5 Das Patentgericht hat das Streitpatent für nichtig erklärt, soweit dessen Gegenstand über die in erster Instanz mit Hilfsantrag 3b´neu (zweitinstanzlich:

Hilfsantrag 3a´) verteidigte Fassung hinausgeht, und die weitergehende Klage abgewiesen. Dagegen wenden sich die Klägerin zu 1 und die Beklagte mit der Berufung. Die Klägerin zu 1 (nachfolgend: Klägerin) begehrt weiterhin die vollständige Nichtigerklärung des Streitpatents. Die Beklagte tritt dem Rechtsmittel entgegen und verteidigt mit ihrer Berufung das Streitpatent in erster Linie in der Fassung des erstinstanzlichen Hilfsantrags 1 und ergänzend mit zweiundsechzig zum überwiegenden Teil neuen Hilfsanträgen.

Entscheidungsgründe:

6 Beide Berufungen sind zulässig. Diejenige der Beklagten ist teilweise be-
gründet.

7 I. Das Streitpatent betrifft den Aufbau einer Vorrichtung, die einen
komplementären Metall-Oxid-Halbleiter (Complementary Metal Oxide Semi-
conductor, CMOS) umfasst.

8 1. Nach der Beschreibung des Streitpatents ist bei der Konstruktion
einer solchen Vorrichtung die Elektromigration zu berücksichtigen.

9 Elektromigration bezeichne den Transport von Material infolge der allmäh-
lichen Bewegung von Ionen in einem Leiter, der aufgrund des Impulsübertrags
zwischen Leitungselektronen und diffundierenden Metallionen erfolge. Elektro-
migration verringere die Zuverlässigkeit von integrierten Schaltkreisen, da sie zur
Unterbrechung von Verbindungen oder zum Ausfall der Schaltkreise führen
könne (Abs. 2).

10 Um dem entgegenzuwirken, sehe die US-amerikanische Anmeldung
5 903 019 für zusammenschaltete CMOS-Strukturen eine Aluminiumleitung
mit relativ großer Breite vor. Die US-amerikanische Anmeldung 5 532 509
schlage ein bestimmtes Layout von Transistoren entlang einer durchgehenden
Leiterbahn vor (Abs. 3).

11 2. Das Streitpatent betrifft vor diesem Hintergrund das technische
Problem, weitere Möglichkeiten für den Aufbau von CMOS-Vorrichtungen zur
Verfügung zu stellen, die die Elektromigration berücksichtigen.

12 3. Zur Lösung schlägt das Streitpatent in der mit dem Hauptantrag
verteidigten Fassung von Patentanspruch 1 eine CMOS-Vorrichtung vor, deren
Merkmale sich wie folgt gliedern lassen (Änderungen gegenüber der erteilten
Fassung sind hervorgehoben):

1. Eine Vorrichtung mit einem komplementären Metall-Oxid-Halbleiter (CMOS), die folgendes beinhaltet (1.1 und 1.2) bzw. aufweist (1.3 bis 1.13.1):
 - 1.1 eine Vielzahl von PMOS-Transistoren (p-type metal oxide semiconductor), von denen jeder eine PMOS-Drain hat;
 - 1.2 eine Vielzahl von NMOS-Transistoren (n-type metal oxide semiconductor), von denen jeder eine NMOS-Drain hat;
 - 1.3 eine erste Zwischenverbindung auf einer Zwischenverbindungsebene, die eine erste Vielzahl von PMOS-Drains miteinander verbindet;
 - 1.4 eine zweite Zwischenverbindung auf einer Zwischenverbindungsebene, die eine zweite, sich von der ersten unterscheidende Vielzahl von PMOS-Drains miteinander verbindet,
 - 1.5 wobei die erste Zwischenverbindung und die zweite Zwischenverbindung auf der Zwischenverbindungsebene nicht miteinander verbunden sind;
 - 1.6 eine dritte Zwischenverbindung auf der Zwischenverbindungsebene, die eine erste Vielzahl von NMOS-Drains miteinander verbindet;
 - 1.7 eine vierte Zwischenverbindung auf der Zwischenverbindungsebene, die eine zweite, sich von der ersten unterscheidende Vielzahl von NMOS-Drains miteinander verbindet,
 - 1.8 wobei die dritte Zwischenverbindung und die vierte Zwischenverbindung auf der Zwischenverbindungsebene nicht miteinander verbunden sind und
 - 1.9 die erste Zwischenverbindung, die zweite Zwischenverbindung, die dritte Zwischenverbindung und die vierte Zwischenverbindung miteinander durch wenigstens eine andere Zwischenverbindungsebene miteinander gekoppelt sind;

- 1.11 eine fünfte Zwischenverbindung auf einer zweiten Zwischenverbindungsebene, wobei die fünfte Zwischenverbindung die erste Zwischenverbindung und die zweite Zwischenverbindung miteinander koppelt;
- 1.12 eine sechste Zwischenverbindung auf einer zweiten Zwischenverbindungsebene, wobei die sechste Zwischenverbindung die dritte Zwischenverbindung und die vierte Zwischenverbindung miteinander koppelt;
- 1.13 eine siebte Zwischenverbindung auf einer dritten Zwischenverbindungsebene, wobei die siebte Zwischenverbindung die fünfte Zwischenverbindung und die sechste Zwischenverbindung miteinander koppelt und
- 1.13.1 vorzugsweise ein Ausgang der Vorrichtung mit der siebten Zwischenverbindung verbunden ist.

- 13 4. Einige Merkmale bedürfen der Erläuterung.
- 14 a) Eine CMOS-Vorrichtung im Sinne von Merkmal 1 ist eine Vorrichtung, die PMOS- und NMOS-Transistoren umfasst. Eine bestimmte Schaltlogik gibt Patentanspruch 1 hingegen nicht vor.
- 15 aa) Als Beispiel für eine CMOS-Vorrichtung führt die Beschreibung des Streitpatents einen Inverter an, wie er in der nachfolgend wiedergegebenen Figur 1 schematisch dargestellt ist:

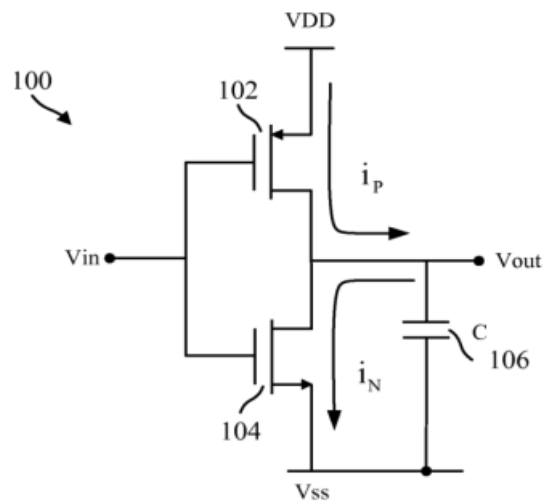


FIG. 1

16 Der Inverter umfasst einen PMOS-Transistor (102) und einen NMOS-Transistor (104), deren Gates und Drains jeweils miteinander verbunden sind. An der Source des PMOS-Transistors (102) liegt das Potential V_{DD} an, an der Source des NMOS-Transistors (104) das Potential V_{SS} . Je nachdem, welches Potential V_{in} an den beiden Gates anliegt, ist jeweils einer der beiden Transistoren leitend, während der andere sperrt. Dadurch entspricht das Ausgangspotential V_{out} an den beiden Drains entweder V_{DD} oder V_{SS} . Um einen größeren Stromfluss zu ermöglichen, können mehrere solcher Inverter parallel geschaltet werden (Abs. 16).

17 bb) Wie das Patentgericht unter Bezugnahme auf das Fachbuch von Hütte (Das Ingenieurwissen, herausgegeben von Czichos und Hennecke, 32. Aufl., 2004, B7, S. J21) festgestellt hat, waren im Stand der Technik weitere CMOS-Schaltungen bekannt, die gemeinsam haben, dass ein Ausgang über zwei Pfade mit unterschiedlichen Potentials verbunden werden kann und hierfür auf der Seite des hohen Potentials PMOS-Transistoren und auf der Seite des niedrigen Potentials NMOS-Transistoren eingesetzt werden.

18 cc) Zu Recht ist das Patentgericht zu dem Ergebnis gelangt, dass
Patentanpruch 1 eine paarweise Schaltung von PMOS- und NMOS-Transistoren,
bei der abwechselnd der eine Transistor leitet und der andere sperrt, nicht zwin-
gend vorsieht.

19 (1) Nach den Feststellungen des Patentgerichts wird eine Vorrichtung
schon dann unter den Begriff der CMOS-Technologie subsumiert, wenn sie
PMOS- und NMOS-Transistoren umfasst - unabhängig davon, ob diese Transis-
toren zur Realisierung einer CMOS-Logik eingesetzt werden.

20 Die Beklagte zeigt keine konkreten Anhaltspunkte auf, die Zweifel an der
Vollständigkeit oder Richtigkeit dieser Feststellungen begründen. Auch die Aus-
führungen in B7 sprechen vielmehr für deren Richtigkeit.

21 B7 erläutert, dass für die dort gezeigten Schaltungen die Wirkung der bei-
den Schalter immer gegensätzlich (komplementär) zueinander sein muss und
dass in CMOS-Technik hierfür MOS-Transistoren mit komplementärer Funktion
eingesetzt werden. Dem ist zu entnehmen, dass CMOS-Technik sich zwar für
Schaltungen der genannten Art eignet, ihr Einsatzzweck aber nicht darauf be-
schränkt ist.

22 (2) Vor diesem Hintergrund hat das Patentgericht aus dem Umstand,
dass Patentanspruch 1 keine Vorgaben zur Schaltlogik enthält, zu Recht die
Schlussfolgerung gezogen, dass es ausreicht, wenn die Vorrichtung in CMOS-
Technologie ausgeführt ist, während eine CMOS-Logik nicht zwingend erforder-
lich ist.

23 (3) Dass in der Beschreibung des Streitpatents unterschiedliche Strom-
flüsse erwähnt werden, von denen die einen bei hohem Eingangspotential und
die anderen bei niedrigem Eingangspotential auftreten (Abs. 8 aE), führt nicht zu
einer abweichenden Beurteilung. Diese Ausgestaltung hat in Patentanspruch 1
keinen Niederschlag gefunden.

24 (4) Aus dem in der erteilten Fassung von Patentanspruch 15 (nach dem zweitinstanzlichen Hauptantrag: Anspruch 8) zusätzlich vorgesehenen Merkmal, wonach bei einem niedrigen Eingangspegel (low input) Strom zu den PMOS-Drains fließt und bei einem hohen Eingangspegel (high input) zu den NMOS-Drains, ergibt sich ebenfalls keine abweichende Beurteilung.

25 Wie die Klägerin unter Bezugnahme auf ihr erstinstanzliches Vorbringen zu Recht geltend macht, ergibt sich auch aus diesem Merkmal nicht zwingend, dass eine CMOS-Logik vorhanden sein muss, weil nicht näher spezifiziert ist, an welcher Stelle der Eingangspegel eingespeist wird.

26 b) Entscheidend für die angestrebte Verringerung der Auswirkungen der Elektromigration sind Anordnung und Gestaltung der Verbindungen der PMOS- und NMOS-Transistoren über ihre Drains.

27 Patentanspruch 1 in der mit dem Hauptantrag verteidigten Fassung sieht hierzu sieben Zwischenverbindungen auf drei Zwischenverbindungsebenen vor.

28 aa) Auf der ersten Zwischenverbindungsebene sind Zwischenverbindungen zwischen den Drains angeordnet.

29 (1) Nach den Merkmalen 1.3, 1.4, 1.6 und 1.7 müssen die PMOS- und NMOS-Drains hierbei jeweils in (mindestens) zwei voneinander unterschiedliche Gruppen eingeteilt werden, die jeweils durch eine eigene Zwischenverbindung miteinander verbunden sind.

30 Nach den Merkmalen 1.5 und 1.8 dürfen die erste und die zweite Zwischenverbindung (also die beiden Zwischenverbindungen für PMOS-Drains) sowie die dritte und die vierte Zwischenverbindung (also die beiden Zwischenverbindungen für NMOS-Drains) nicht miteinander verbunden sein.

31 (2) Nicht ausgeschlossen sind hingegen Verbindungen zwischen einer Verbindung für PMOS- und einer Verbindung für NMOS-Drains, also etwa zwischen der ersten und dritten oder zwischen der zweiten und vierten Zwischenverbindung.

32 (a) Solche Verbindungen werden bei dem Ausführungsbeispiel eingesetzt, das in den nachfolgend wiedergegebenen Figuren 9a und 9b dargestellt ist.

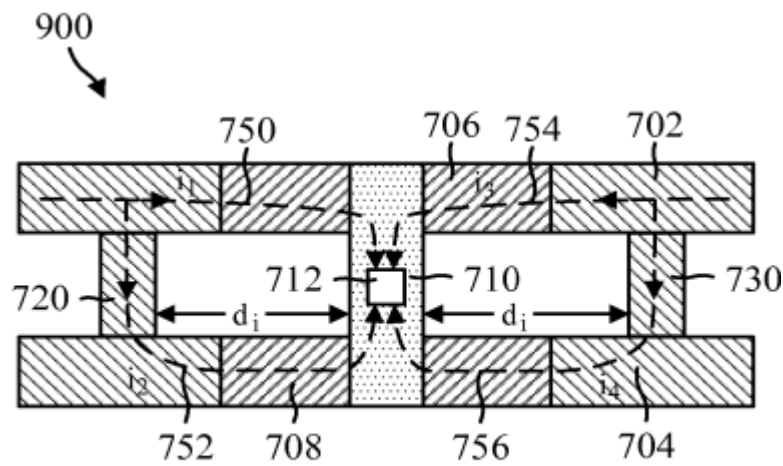


FIG. 9A

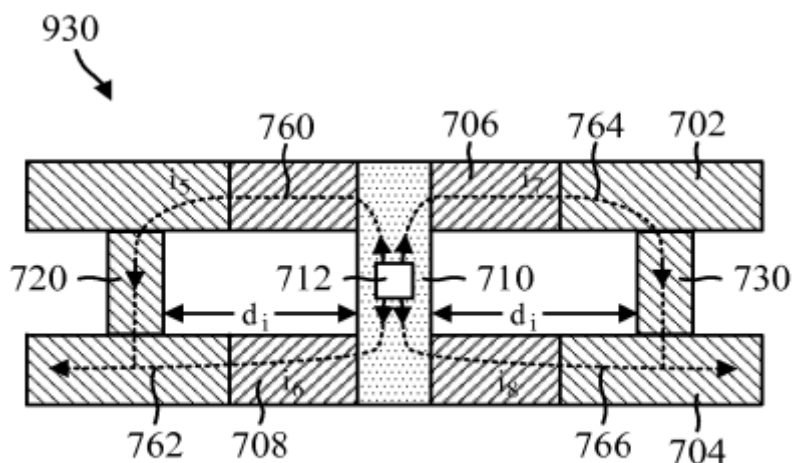


FIG. 9B

33 Bei diesem Ausführungsbeispiel sind die auf einer ersten Metallebene M1 angeordnete, zur Verbindung von PMOS-Drains dienende Zwischenverbindung (702) und die auf derselben Ebene angeordnete, zur Verbindung von NMOS-Drains dienende Zwischenverbindung (704) nicht nur auf höheren Ebenen (706, 708, 710) miteinander verbunden, sondern auch auf der Ebene M1, und zwar über zusätzliche Zwischenverbindungen (720, 730, Abs. 34).

34 Hierdurch wird erreicht, dass in beiden Schaltzuständen ein Strom durch alle auf der ersten Ebene angeordneten Verbindungen fließt, wobei ein Wechsel des Schaltzustands zu einer Umkehr der Stromrichtung führt. Letzteres wirkt dem Verschleiß durch Elektromigration entgegen (Abs. 35).

35 (b) Vergleichbare Zwischenverbindungen weist auch das in der nachfolgend wiedergegebenen Figur 11 dargestellte Ausführungsbeispiel auf.

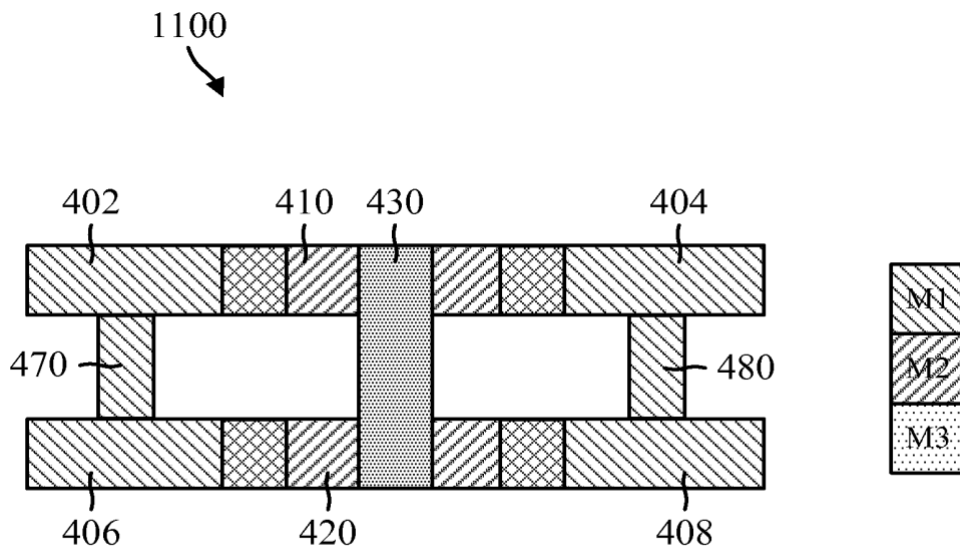


FIG. 11

36 Dieses Ausführungsbeispiel umfasst zwei Zwischenverbindungen (402, 404) für PMOS-Transistoren und zwei Zwischenverbindungen (406, 408) für NMOS-Transistoren, die alle auf einer ersten Metallebene M1 angeordnet sind.

Die Verbindungen (402, 404) sind auf der Ebene M1 nicht miteinander verbunden; dasselbe gilt für die Verbindungen (406, 408). Die Verbindungen (402, 406) sind hingegen auf der Ebene M1 durch eine Zwischenverbindung (470) miteinander gekoppelt. Zwischen den Verbindungen (404, 408) ist eine entsprechende Zwischenverbindung (480) angeordnet. Bei dieser Anordnung können Verbindungslängen von weniger als zwei Mikrometer erreicht werden. Die Zwischenverbindungen (470, 480) eröffnen parallele Strompfade und verringern so die durch Elektromigration verursachte Verschleißwirkung (Abs. 38).

37 bb) Die vier Zwischenverbindungen der ersten Ebene sind gemäß Merkmal 1.9 auf mindestens einer anderen Zwischenverbindungsebene miteinander gekoppelt. Wie dies zu geschehen hat, ist in den Merkmalen 1.11 bis 1.13 konkretisiert.

38 Nach den Merkmalen 1.11 und 1.12 müssen die erste und die zweite Zwischenverbindung sowie die dritte und die vierte Zwischenverbindung durch jeweils eine weitere (die fünfte bzw. die sechste) Zwischenverbindung miteinander gekoppelt sein. Diese beiden zusätzlichen Zwischenverbindungen liegen auf einer zweiten Zwischenverbindungsebene.

39 Gemäß Merkmal 1.3 müssen die fünfte und die sechste Zwischenverbindung über eine siebte Zwischenverbindung miteinander gekoppelt sein. Diese Zwischenverbindung liegt auf einer dritten Zwischenverbindungsebene.

40 cc) Nach der Beschreibung des Streitpatents schaffen die Trennung der Zwischenverbindungen auf der ersten Ebene und die Kopplung auf zwei weiteren Ebenen die Möglichkeit, die Länge der Zwischenverbindungen zu verringern, zum Beispiel auf einen Wert von weniger als zwei Mikrometer. Hierdurch kann die Rückspannung erhöht und die Elektromigration in den Zwischenverbindungen verringert werden (Abs. 21 aE).

41 dd) Entgegen der Ansicht des Patentgerichts dürfen die fünfte und die
sechste Zwischenverbindung nicht - auch nicht teilweise - in der ersten Zwischen-
verbindungsebene verlaufen.

42 (1) Eine Verbindung zwischen der ersten und der zweiten Zwischen-
verbindung und eine Verbindung zwischen der dritten und der vierten Zwischen-
verbindung auf der ersten Verbindungsebene ist durch die Merkmale 1.5 bzw.
1.8 ausdrücklich ausgeschlossen.

43 Diese Merkmale greifen die Ausgestaltung auf, die in der Beschreibung
des Streitpatents für zwei von drei Gruppen von Ausführungsformen geschildert
werden.

44 In den Erläuterungen zu den Figuren 3 bis 6, die eine erste Gruppe von
möglichen Ausführungsformen betreffen, wird durchgehend und mehrfach her-
vorgehoben, dass die Zwischenverbindungen für die einzelnen Gruppen von
Drains auf der Metallebene M1 nicht miteinander verbunden sind und dass die
Kopplung erst mit Hilfe von zwei weiteren Zwischenverbindungen auf einer zwei-
ten Ebene erfolgt (Abs. 21-31). Entsprechende Ausführungen finden sich zu den
Figuren 11 bis 13, die eine dritte Gruppe von möglichen Ausführungsformen be-
treffen (Abs. 38-42). Diese Trennung ist in den Merkmalen 1.5 und 1.8 ausdrück-
lich vorgesehen.

45 In den Erläuterungen zu den Figuren 7 bis 10, die eine zweite Gruppe von
möglichen Ausführungsformen betreffen, ist demgegenüber nur jeweils eine
Zwischenverbindung für PMOS- und NMOS-Drains auf der ersten Metallebene
M1 erwähnt (Abs. 32-37). Auch wenn dem zu entnehmen sein sollte, dass es für
jede Art von Drains nur eine Zwischenverbindung auf der ersten Ebene geben
muss oder dass mehrere solcher Zwischenverbindungen auf der ersten Ebene
nicht getrennt sein müssen, käme dem für die Auslegung von Patentanspruch 1
keine Bedeutung zu. Patentanspruch 1 sieht eine solche Trennung in Anknüp-

fung an die anderen Ausführungsbeispiele ausdrücklich vor. Dem ist zu entnehmen, dass auch andere Ausführungsformen diese Ausgestaltung aufweisen müssen.

46 (2) In Zusammenschau mit den Merkmalen 1.5 und 1.8 ist den Merkmalen 1.11 und 1.12 in räumlich-körperlicher Hinsicht die Vorgabe zu entnehmen, dass die fünfte und sechste Zwischenverbindung nicht der ersten, sondern der zweiten Zwischenverbindungsebene zugeordnet sind und dementsprechend dort die erste und zweite bzw. dritte und vierte Zwischenverbindung koppeln. Damit sind Gestaltungen ausgeschlossen, bei denen die erste Zwischenverbindungsebene in Teilabschnitten in die Kopplung einbezogen wird.

47 Dass bei einer solchen Gestaltung ohne Mitwirkung der in der zweiten Zwischenverbindungsebene befindlichen Teilabschnitte eine Kopplung auf der ersten Zwischenverbindungsebene nicht stattfindet, rechtfertigt entgegen der Ansicht der Klägerin keine andere Betrachtung. Dies ändert nichts daran, dass die auf der ersten Zwischenverbindungsebene befindlichen Teilabschnitte an der Kopplung notwendig teilnehmen mit der Folge, dass bezogen auf die Funktion der Kopplung keine eindeutige Zuordnung der fünften und sechsten Zwischenverbindung zur zweiten Zwischenverbindungsebene mehr möglich ist.

48 (3) Entgegen der Auffassung der Klägerin führt auch der Umstand, dass in den Merkmalen 1.5 und 1.8 von Verbinden (connecting), in den Merkmalen 1.11 bis 1.13 hingegen von Koppeln (coupled bzw. coupling) gesprochen wird, nicht zu einer abweichenden Beurteilung.

49 Weder aus der Beschreibung des Streitpatents noch aus sonstigen Umständen ergeben sich Anhaltspunkte dafür, dass die unterschiedliche Wortwahl unterschiedliche technische Wirkungen zum Ausdruck bringen soll. Sie dient lediglich der Verdeutlichung des mehrfach hervorgehobenen Umstands, dass die einzelnen Zwischenverbindungen auf der ersten Ebene nicht miteinander in Verbindung stehen und ihre Kopplung erst auf einer höheren Ebene erfolgt.

50 (4) Entgegen der Auffassung des Patentgerichts ergibt sich aus Merkmal 1.9 ebenfalls keine abweichende Beurteilung.

51 Wie das Patentgericht im Ansatz zutreffend angenommen hat, ergibt sich aus Merkmal 1.9 allerdings, dass die Kopplung zwischen den ersten vier Zwischenverbindungen auf mehreren Ebenen erfolgen kann. Wie bereits oben im Zusammenhang mit den Figuren 9 und 11 ausgeführt wurde, kommen hierbei auch Verbindungen auf der ersten Ebene in Betracht, etwa zwischen der ersten und der dritten Zwischenverbindung. Für die erste und die zweite Verbindung sowie für die dritte und die vierte Verbindung schließen die Merkmale 1.5 und 1.8 eine Verbindung - mithin auch eine Kopplung - in der ersten Ebene aber ausdrücklich aus. Dieses Verbot wird durch Merkmal 1.9 weder aufgehoben noch relativiert.

52 5. Die auf den Schutz eines Anordnungs- bzw. Betriebsverfahrens gerichteten Ansprüche (in der Fassung des zweitinstanzlichen Hauptantrags: Patentansprüche 7 und 8) werden im Wesentlichen durch die Vorrichtungsmerkmale aus Patentanspruch 1 geprägt und unterliegen keiner abweichenden Beurteilung.

53 II. Das Patentgericht hat seine Entscheidung, soweit im Berufungsverfahren noch von Interesse, im Wesentlichen wie folgt begründet:

54 Der Gegenstand des erteilten Patentanspruchs 1 sei gegenüber dem US-amerikanischen Patent 5 444 276 (K8), den US-amerikanischen Patentanmeldungen 2005/0212562 A1 (K9) und 2012/0221759 (K5) sowie der europäischen Anmeldung 2 738 806 (K6) nicht neu. Der offenkundig vorbenutzte Chip RF 6560 nehme den Gegenstand ebenfalls vorweg. Der Gegenstand des erstinstanzlichen Hilfsantrags 1 (also des zweitinstanzlichen Hauptantrags) sei gegenüber der Vorbenutzung ebenfalls nicht neu und werde durch K9 nahegelegt.

55 K9 befasse sich mit der Ausbildung von Treiberzellen eines ASICs, wie sie in Figur 12 gezeigt seien. Die Struktur bestehe aus zwei Invertern, die jeweils aus

drei PMOS- und NMOS-Transistoren gebildet würden. Die Verdrahtung der Transistoren erfolge in drei Ebenen, die mit Metal i-1, Metal i und Metal i+1 bezeichnet würden. In der Lage Metal i-1 erfolge auf beiden Seiten jeweils die Verbindung aller Gates und die Anbindung der Sources an entweder das Potential VDD für die PMOS-Transistoren oder VSS für die NMOS-Transistoren. Zudem würden die Drains verbunden. Die Verbindung reiche jeweils vom Drain des obersten PMOS-Transistors zum Drain des untersten NMOS-Transistors, wobei die beiden Seiten in der Lage Metal i-1 nicht miteinander verbunden seien.

56 Die grundlegende Transistorschaltung befinde sich, wie Figur 10 zeige, in einer Treiberzelle (TZ), in der mehrere von ihnen sowohl in Ost-West-Richtung als auch in Nord-Süd-Richtung verbunden werden könnten, um die Treiberstärke einstellen zu können. Würden zwei Transistorschaltungen (BT) der Treiberzelle (TZ) in Nord-Süd-Richtung über die in diese Richtung verlaufenden Leitungen (112, 113, 114, 115) verbunden und die Schalter zur Bildung funktionsfähiger Inverter gesetzt, gelange der Fachmann in naheliegender Weise zum Gegenstand des Hilfsantrags 1 (= Hauptantrag im Berufungsverfahren). Dass die fünfte und sechste Zwischenverbindung nicht ausschließlich in der zweiten Verbindungsebene, sondern auch in der ersten Zwischenverbindungsebene angeordnet seien, sei unschädlich.

57 Der Chip RF6560 sei zumindest in der Version M1D656105 offenkundig vorbenutzt worden. Diese sei einem Reverse Engineering unterzogen worden, dessen Ergebnisse in dem Bericht von Tech Insights (RF6560 Analysis, June 26, 2020; K46) dargestellt seien. Hinsichtlich der weiteren Version M1D656097 seien Konstruktionszeichnungen (Schematics RF6560 M1D656097; K14) vorgelegt worden. Im für die Beurteilung des Streitpatents maßgeblichen Bereich lägen keine relevanten Abweichungen vor. K46 zeige, dass der Chip RF 6560 zumindest in sechs vor dem Prioritätsdatum des Streitpatents vertriebenen Smartphones verbaut gewesen sein müsse. Den Autoren der K46 müsse klar gewesen sein, dass es von dem Chip möglicherweise mehrere Versionen gegeben habe und die Version M1D656105 Untersuchungsgegenstand sei.

58 Der Teardown-Bericht nach Anlage K16 (ABI Research Teardown, Samsung Galaxy S II I9100 p. 28, 57) zeige zwar, dass der Chip mit der Versionsnummer M1D656105 vom 24. April 2010 stamme und in ein Mobiltelefon eingebaut gewesen sei, das erst ab dem 2. Mai 2011 erhältlich gewesen sei. Dies stelle aber keinen maßgeblichen Widerspruch dar, da Halbleiter-Chips auf Vorrat hergestellt werden könnten und die Angabe "Sample date" nicht zwingend bedeute, dass der Chip zu diesem Zeitpunkt dem Smartphone entnommen worden sei. Es könne sich auch um das Herstellungsdatum oder das Datum des Erwerbs eines Chips gleichen Typs handeln. Selbst wenn unklar sei, woher der Chip stamme, würde K16 trotzdem zeigen, dass er in der Version M1D656105 vor dem Prioritätsdatum der interessierten Öffentlichkeit zugänglich gewesen sei.

59 Gegenüber dem offenkundig vorbenutzten Chip RF 6560 erweise sich lediglich der Gegenstand von Hilfsantrag 3b"neu (= Hilfsantrag 3a" im Berufungsverfahren) als neu und auf erfinderischer Tätigkeit beruhend. Es sei zwar nahe liegend gewesen, die dritte und vierte Metallisierungsebene zu vertauschen, also die Drains in der dritten Metallisierungsebene und die Sources in der vierten Metallisierungsebene zu verbinden. Nicht nahegelegt sei aber gewesen, die siebte Zwischenverbindung, also die Verbindung aller Drains, mit einem Ausgang der Vorrichtung zu verbinden, da die bei der Vorbenutzung in der vierten Metallisierungsebene liegende siebte Zwischenverbindung auch als Bondpad und damit als Ausgang diene.

60 III. Diese Beurteilung hält hinsichtlich der mit dem zweitinstanzlichen Hauptantrag verteidigten Fassung der Überprüfung im Berufungsverfahren im Ergebnis stand.

61 1. Entgegen der Auffassung des Patentgerichts lag der mit dem Hauptantrag verteidigte Gegenstand allerdings ausgehend von K9 nicht nahe.

62 a) Wie auch das Patentgericht angenommen hat, erweist sich der mit dem zweitinstanzlichen Hauptantrag verteidigte Gegenstand gegenüber K9 als neu.

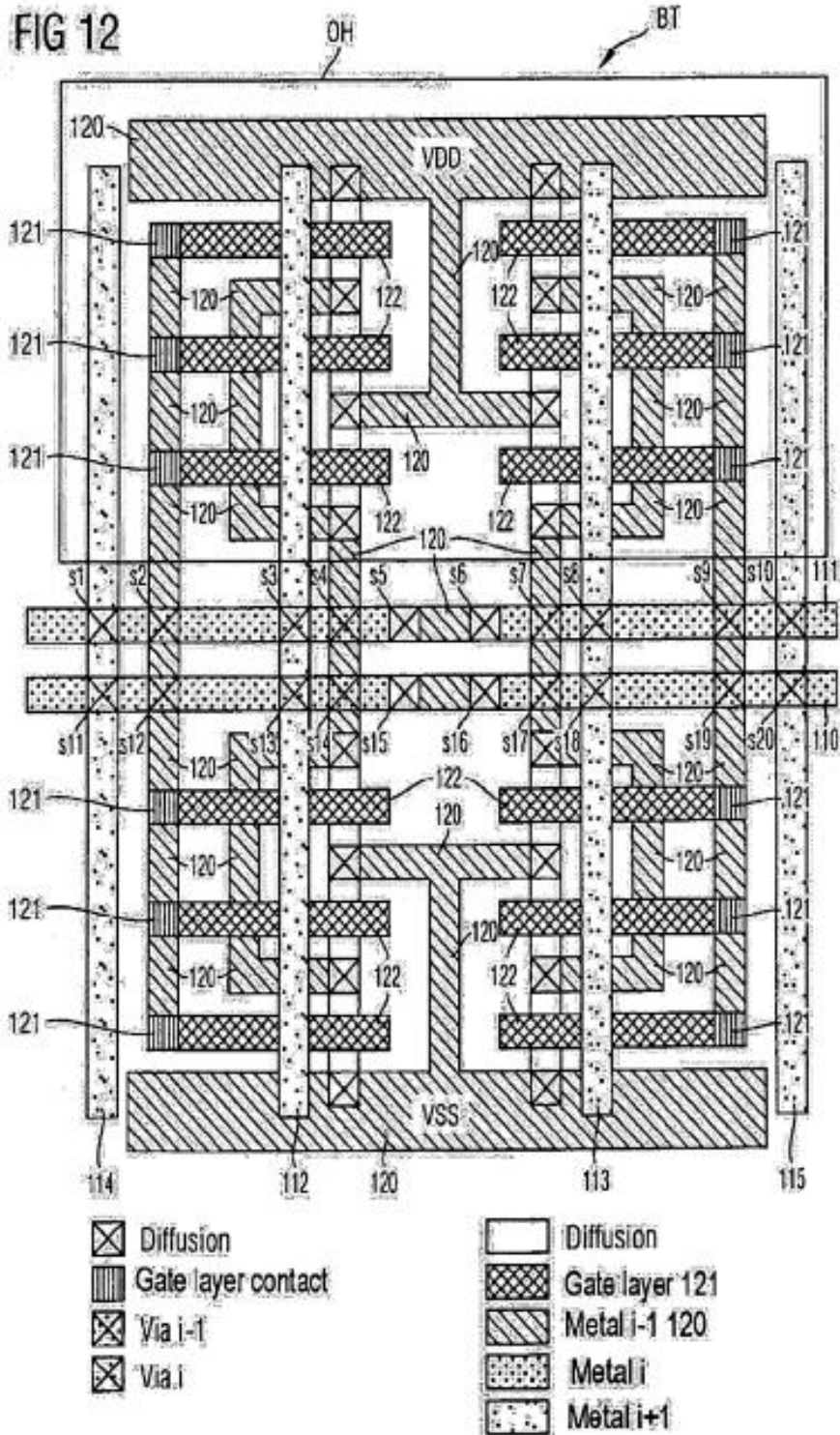
63 aa) K9 betrifft die Architektur von Funktionsblöcken und Verdrahtungen in strukturierten anwendungsspezifischen integrierten Schaltkreisen (structured Application Specific Integrated Circuits, sASICs) und konfigurierbare Treiberzellen eines logischen Zellenfeldes.

64 (1) Die Logikzellen derartiger Halbleiter könnten in einer aktiven Schicht ausgebildet sein, die CMOS-Strukturen enthält. Die Logikfunktionen würden definiert durch mehrere Verdrahtungsschichten, die oberhalb der aktiven Schicht angeordnet sind und der Verdrahtung innerhalb einer einzelnen Zelle dienen (Abs. 3). Weitere Verdrahtungsschichten dienen der Zufuhr von Versorgungsspannung und der Zu- und Ableitung von Signalen (Abs. 4 f.). In sASICs würden ganz oder teilweise vorgefertigte Logikzellen eingesetzt, die mit Speicherstrukturen kombiniert werden könnten. Ein Teil der Verdrahtung könne an die jeweilige Anwendung angepasst werden. Unter Kostengesichtspunkten sollten aber möglichst viele Verdrahtungsschichten fest vordefiniert sein (Abs. 8 f.). Am Ausgang eines Funktionsblocks müssten häufig lange Leitungen angeordnet werden. Diese könnten zu Signalverzögerungen führen und eine Auffrischung des Signals erfordern (Abs. 14).

65 Um den daraus resultierenden Problemen zu begegnen, schlägt K9 ein neues Konstruktionsprinzip vor, bei dem die Funktionsblöcke in einem regelmäßigen Array angeordnet sind, das in einer aktiven Schicht und mindestens einer ersten Verdrahtungsschicht ausgebildet ist. Für die Weiterleitung von Signalen ist ein korrespondierendes Array von Verdrahtungsfeldern vorgesehen. Dieses umfasst mindestens zwei Verdrahtungsschichten mit nicht parallelen Leitungen und einer dazwischen liegenden Isolationsschicht. Zumindest in einer Schicht

sind die Leitungen als Segmente ausgeführt, die innerhalb eines Verdrahtungsfeldes durchgehend und an den Grenzen der Verdrahtungsfelder unterbrochen sind (Abs. 20).

- 66 (2) Die nachfolgend wiedergegebene Figur 12 zeigt beispielhaft eine Basistransistorstruktur bestehend aus zwei baugleichen Unterstrukturen, die sich nebeneinander befinden und durch Leitungen (120) in der $i-1$ -ten Verdrahtungsschicht gebildet werden.



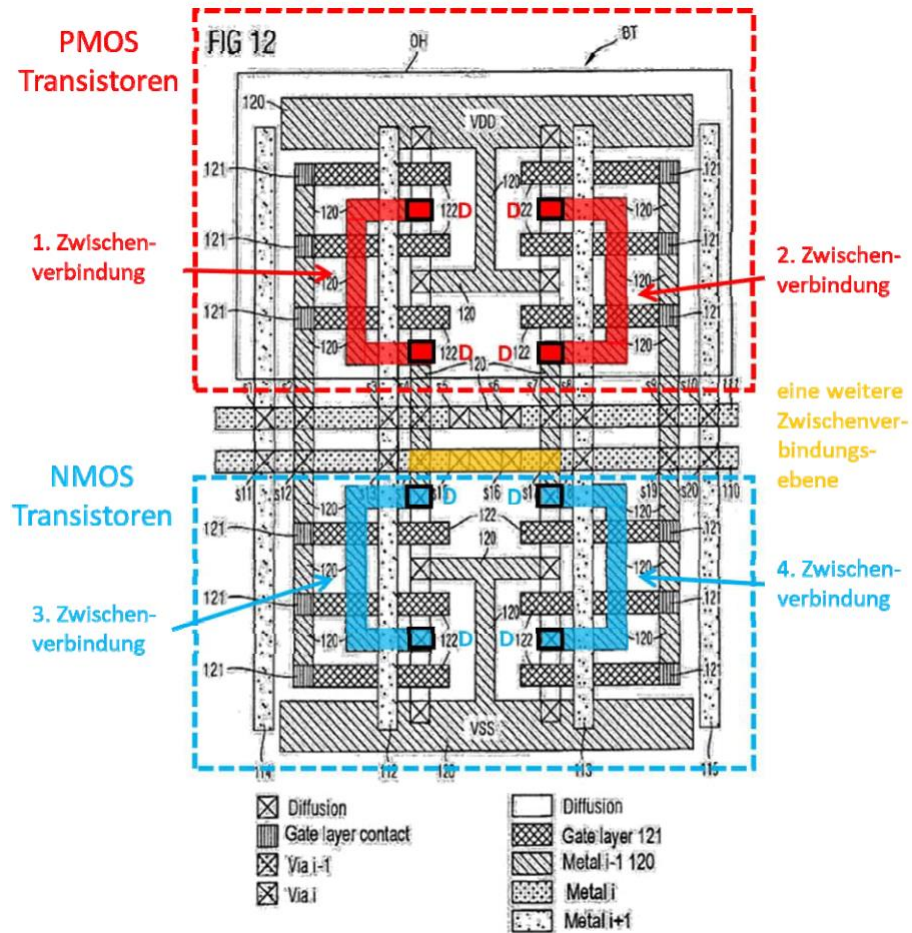
67

Jede Unterstruktur hat in ihrer oberen und unteren Hälfte jeweils drei Transistor-Gates von Streifen-Transistoren. Die Transistor-Gates befinden sich dort,

wo die Gate-Schicht (122) die Diffusionsbereiche überlappt. Es handelt sich um eine Parallelschaltung von drei Invertern, die durch Parallelschaltung der Transistoren gebildet wird (Abs. 99).

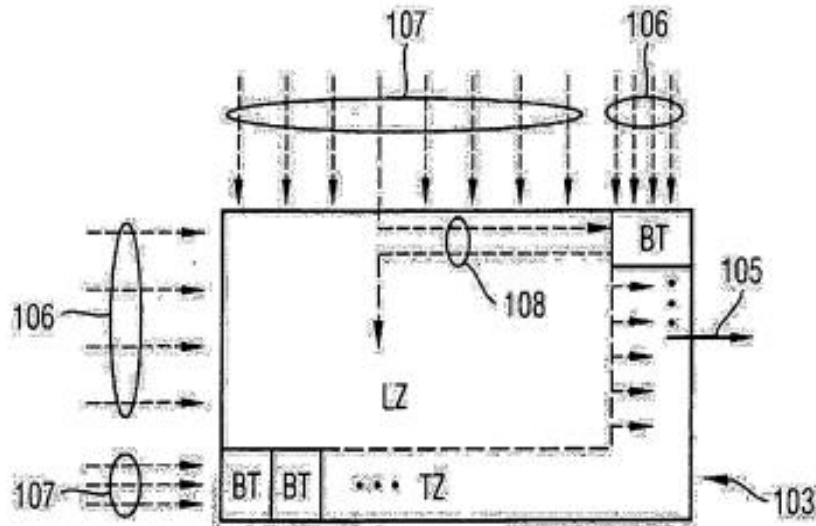
68 Die Basistransistorstruktur wird durch zwei in der Metallisierungsschicht i befindliche, in West-Ost-Richtung verlaufende Verdrahtungsleitungen (110, 111) und vier in der Metallisierungsschicht i+1 befindliche, in Nord-Süd-Richtung verlaufende Verdrahtungsleitungen (112 bis 115) kontaktiert und kann hinsichtlich ihrer Treiberstärke konfiguriert werden. Weitere Verdrahtungsleitungen in der Schicht i+1 ohne vordefinierte Konfigurationsmöglichkeiten in Bezug auf den Treiberblock sind in den Freiräumen möglich (Abs. 98). Die Schalter s1 bis s20 sind maskenprogrammierbar (Abs. 100).

69 Nach den Feststellungen des Patentgerichts erfolgt die Verbindung der Gates und Sources an die Potentiale VDD oder VSS in der ersten Schicht Metal i-1 (120). Für die Drains gibt es je eine Verbindung auf der linken und rechten Seite, die jeweils vom Drain des obersten PMOS-Transistors zum Drain des untersten NMOS-Transistors reicht. Die beiden Seiten sind in der Schicht Metal i-1 (120) nicht miteinander verbunden. Durch entsprechendes Setzen der Schalter kann eine Verbindung hergestellt werden in der Lage Metal i über die Schalter s4 und s7 sowie ein Stück Leitung in der Lage Metal i-1 (120) und die Schalter s5 und s6. Eine entsprechende Verbindung kann über die Schalter s14, s15, s16 und s17 hergestellt werden, wie dies in der folgenden, von der Klägerin ergänzten Figur dargestellt ist. Beide Verbindungsmöglichkeiten werden in K9 ausdrücklich als Möglichkeit offenbart (Abs. 105).



70 (3) Die nachfolgend wiedergegebene Figur 10 zeigt die Anordnung einer Vielzahl von Basistransistorstrukturen (BT) in einer L-förmigen Treiberzelle (TZ). Die Treiberstärke kann durch geeignete Kontaktierung von Basistransistorstrukturen beeinflusst werden (Abs. 92). Zusammen mit einer Logikzelle (LZ) bildet die Treiberzelle (TZ) einen logischen Block des ASIC.

FIG 10



71 bb) Damit sind, wie auch die Beklagte im Berufungsverfahren nicht in Zweifel zieht, die Merkmale 1 bis 1.9 offenbart.

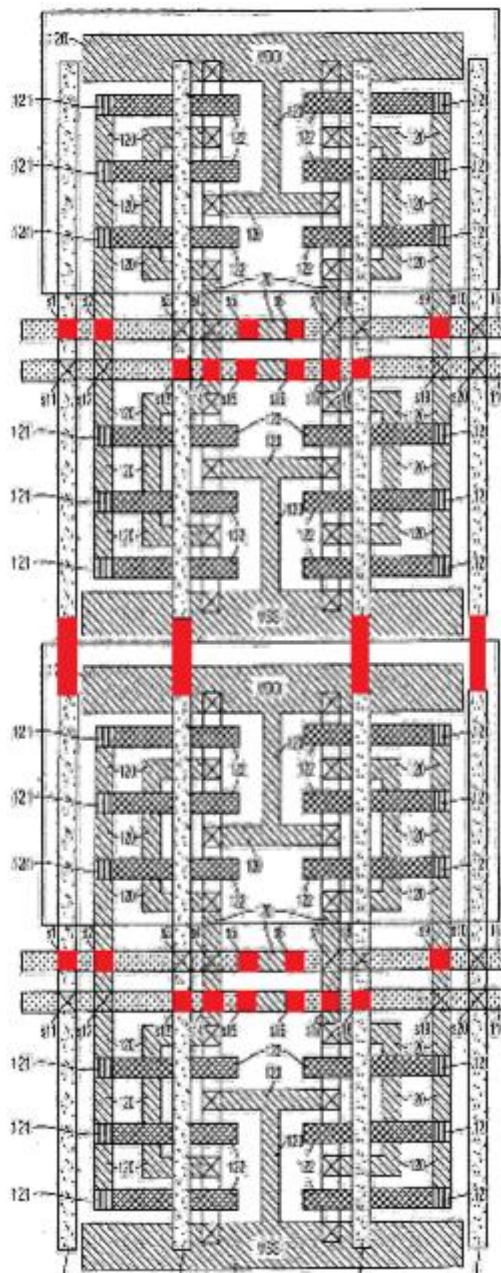
72 cc) Nicht offenbart ist die Gesamtheit der Merkmale 1.11 bis 1.13.

73 Wie das Patentgericht in dem nach § 83 Abs. 1 PatG erteilten Hinweis im Ansatz zutreffend ausgeführt hat, würde eine Verbindung über die Schalter s4, s5, s3, s13, s15 und s14 sowie die Schalter s7, s6, s8, s18, s16 und s17 die genannten Merkmale bei isolierter Betrachtung zwar verwirklichen. Wie die Beklagte im Einzelnen dargelegt und auch das Patentgericht nicht in Zweifel gezogen hat, ergäbe sich daraus aber keine funktionsfähige Schaltung, weil dann auch die Gates und die Drains miteinander verbunden wären.

74 Die in K9 ausdrücklich genannte Verbindung über die Schalter s4, s5, s6 und s7 bzw. s14, s15, s16 und s17 reicht ebenfalls nicht aus. Bei dieser Ausführungsform liegt ein Teil der Verbindung auf der ersten Verbindungsebene. Dies widerspricht der Vorgabe aus den Merkmalen 1.5 und 1.8.

75 b) Der mit dem Hauptantrag verteidigte Gegenstand war ausgehend von K9 nicht nahegelegt.

76 Entgegen der Auffassung des Patentgerichts führt ein Untereinandersetzen von zwei Strukturen, wie es in der nachfolgend wiedergegebenen Kombination von zwei Kopien der Figur 12 schematisch dargestellt ist, nicht zu einer Ausgestaltung gemäß den Merkmalen 1.5, 1.8 und 1.11 bis 1.13.



77 Bei dieser Ausgestaltung sind die Zwischenverbindungen für die Drains auf der linken Seite mit denjenigen auf der rechten Seite in beiden Teilstrukturen jeweils über die Schalter s14, s15, s16 und s17 miteinander verbunden, was als fünfte und sechste Teilverbindung im Sinne der Merkmale 1.11 und 1.12 angesehen werden kann. Diese beiden Teilverbindungen sind ihrerseits über die Strecke zwischen den beiden Schaltern s13 und den beiden Schaltern s18 auf den beiden Teilstrukturen miteinander verbunden, was als siebte Teilverbindung im Sinne von Merkmal 1.13 angesehen werden kann.

78 Auch bei dieser Ausführungsform verläuft die Verbindung zwischen den Schaltern s15 und s16 aber in der Schicht Metal i-1 (120) und damit in der ersten Verbindungsebene im Sinne des Streitpatents. Dies widerspricht der Vorgabe aus den Merkmalen 1.5 und 1.8 sowie 1.11 bis 1.13.

79 2. Zu Recht hat das Patentgericht jedoch den Chip vom Typ RF6560 als neuheitsschädlich angesehen.

80 a) Die Feststellung des Patentgerichts, wonach der Chip RF6560 in der Version M1D656105 offenkundig vorbenutzt worden ist, hält den Angriffen der Beklagten stand.

81 Nach § 117 Satz 1 PatG und § 529 Abs. 1 Nr. 1 ZPO sind in der Berufungsinstanz die im ersten Rechtszug festgestellten Tatsachen zugrunde zu legen, soweit nicht konkrete Anhaltspunkte Zweifel an der Richtigkeit oder Vollständigkeit der entscheidungserheblichen Feststellungen begründen und deshalb eine erneute Feststellung gebieten.

82 Solche Anhaltspunkte sind im Streitfall weder aufgezeigt noch sonst ersichtlich.

83 aa) Das Patentgericht hat seine Würdigung auf einen Teardown-Bericht des Unternehmens Tech Insights (RF6560 Analysis, June 26, 2020; K46), auf einen Teardown-Bericht des Unternehmens ABI research (Samsung Galaxy

S II I9100 Teardown, K16) und auf digitale Konstruktionszeichnungen des Anbieters Quorvo (K14) gestützt.

84 In K46 wird anhand von Auszügen aus einer von Tech Insights geführten Datenbank schematisch dargestellt, dass dieses Unternehmen einen Chip mit der Typenbezeichnung RF6560 und der Versionsnummer M1D656105 in sechs verschiedenen Mobiltelefon-Modellen der Hersteller Samsung, LG und Meizu vorgefunden hat, die im Zeitraum zwischen dem 13. Juli 2011 und dem 17. Juli 2002 erworben wurden (S. 2).

85 Zu den in K46 aufgeführten Telefon-Modellen gehört das Samsung Galaxy S II I9100, das auch nach den Angaben in K16 einen Chip mit der Typenbezeichnung RF6550 und der Versionsnummer M1D656105 enthielt. In K16 und K46 sind Fotos enthalten, laut denen auf dem Chip die genannte Versionsnummer und die Jahreszahl 2010 angegeben ist.

86 K46 zeigt ferner Details zum Aufbau des Chips. Dieser stimmt nach den Feststellungen des Patentgerichts hinsichtlich aller für den Streitfall relevanten Merkmale mit dem Aufbau des in K14 beschriebenen Chips mit derselben Typennummer und der abweichenden Versionsnummer M1D656097 überein.

87 bb) Bei dieser Ausgangslage durfte das Patentgericht in tatrichterlicher Würdigung zu dem Ergebnis gelangen, dass die Angaben in K46 inhaltlich zutreffend sind, obwohl die Beklagte dies mit Nichtwissen bestritten und Umstände aufgezeigt hat, die zu einer abweichenden Beurteilung führen könnten. Die von der Beklagten schon in erster Instanz erhobenen und mit der Berufung wiederholten Einwände zeigen keine konkreten Anhaltspunkte auf, die Zweifel an der Richtigkeit oder Vollständigkeit der getroffenen Feststellungen begründen.

88 (1) Entgegen der Auffassung der Beklagten ist K46 nicht deshalb als untaugliches Beweismittel anzusehen, weil die darin enthaltenen Angaben zu Typen, Versionsnummern und Kaufdaten aus einer von Tech Insights selbst geführten Datenbank stammen und der Inhalt der dargestellten Ordnerstruktur und ihr

Zusammenhang zu den Angaben lediglich überblicksartig dargestellt ist und nicht im Einzelnen erläutert wird.

89 Der aufgezeigte Umstand mag theoretisch die Gefahr begründen, dass einzelne oder alle Angaben ungenau oder lückenhaft sind. Ob diese Gefahr praktisch relevante Zweifel an der Wahrheit der von der Klägerin unter Beweis gestellten Behauptung begründet, ist aber eine Frage der tatrichterlichen Würdigung.

90 Das Patentgericht hat die in Rede stehenden Angaben als hinreichend zuverlässig angesehen, weil sie detailliert und in sich konsistent sind und weil es dem Unternehmen Tech Insights hinreichende Fachkunde zugebilligt hat, um eventuelle Ungereimtheiten zu erkennen. Diese Würdigung hält einer Überprüfung am eingangs genannten Maßstab stand.

91 (2) Zu Recht hat das Patentgericht K16 und K46 nicht deshalb unberücksichtigt gelassen, weil beide Berichte ausweislich der darin enthaltenen Copyright-Vermerke nach dem Prioritätstag erstellt worden sind, nämlich in den Jahren 2018 bzw. 2020.

92 K16 und K46 bilden nach dem Vortrag der Klägerinnen keine Entgegenhaltungen aus dem Stand der Technik. Sie dienen vielmehr dem urkundlichen Nachweis dafür, dass der Chip mit der Typenbezeichnung RF6560 und der Versionsnummer ...105 vor dem Prioritätstag öffentlich zugänglich war. Insoweit stellen sie ein taugliches Beweismittel dar.

93 Ob die in K16 und K46 enthaltenen Angaben inhaltlich zutreffend sind, ist eine Frage der Beweiswürdigung. Für diese kann auch das relativ späte Erstellungsdatum von Bedeutung sein.

94 Das Patentgericht hat auch diesen Umstand berücksichtigt. Seine
Schlussfolgerung, dass die Angaben in K16 und K46 den Stand der Technik zu-
verlässig wiedergeben, unterliegt auch insoweit keinen durchgreifenden Zwei-
feln.

95 (3) Konkrete Anhaltspunkte für Zweifel an der Richtigkeit und Vollstän-
digkeit der getroffenen Feststellungen bestehen auch nicht deshalb, weil K46 und
K16 eine andere Versionsnummer ausweisen als K14.

96 Das Patentgericht hat diese Abweichung berücksichtigt und mit nicht zu
beanstandenden Erwägungen als für die Würdigung unerheblich angesehen,
weil die beiden Versionen in den für den Streitfall relevanten Merkmalen überein-
stimmen und weil die Versionsangaben in K46 und K16 übereinstimmen.

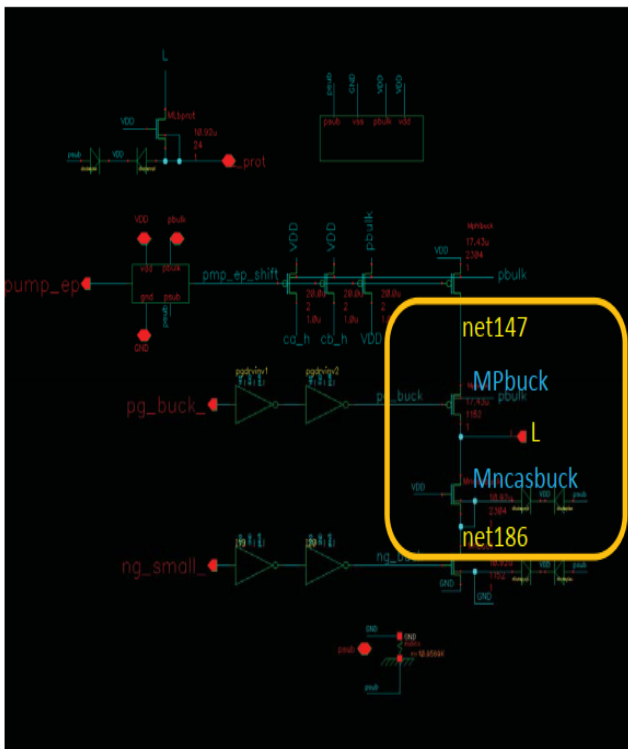
97 (4) Der Umstand, dass K16 in Bezug auf den Chip RF6560 die Angabe
"Sample date 4/24/2010" enthält, führt nicht zu einer abweichenden Beurteilung.

98 Das Patentgericht hat auch diesen Umstand berücksichtigt. Es hat insbe-
sondere gesehen, dass die genannte Angabe Grund zu Zweifeln geben könnte,
wenn sie sich auf das Datum bezöge, zu dem das untersuchte Mobiltelefon ge-
kauft wurde, weil Mobiltelefone des untersuchten Typs nach dem Vorbringen der
Klägerin erst ab dem 2. Mai 2011 erhältlich waren. Es hat die Angabe dennoch
als plausibel angesehen, weil sie sich auch auf das Herstellungsdatum des Chips
beziehen kann. Diese Erwägung ist überzeugend, zumal ausweislich der in K46
und K16 wiedergegebenen Fotos auf der Außenseite des Chips die Jahreszahl
2010 angegeben ist.

99 Vor diesem Hintergrund ist auch die vom Patentgericht gezogene Schluss-
folgerung nicht zu beanstanden, dass K46 selbst dann Beweiswert zuzubilligen
wäre, wenn der konkret untersuchte Chip nicht aus einem Mobiltelefon des an-
gegebenen Typs stammt, sondern anhand der vorgefundenen Versionsnummer
die Daten eines bereits früher untersuchten anderen Chips dieser Version ver-
wendet wurden.

100 b) Die in K14 und K46 gezeigten Chips nehmen alle Merkmale des mit dem Hauptantrag verteidigten Gegenstands vorweg.

101 aa) Der in K14 gezeigte Chip mit der Versionsnummer ...097 weist NFET- und PFET-Bereiche mit der nachfolgend dargestellten Verschaltung auf (S. 4).



MPbuck is a PFET whose Source is tied to net147, and Drain is tied to node "L".

Mncasbuck is an NFET whose Source is tied to net186, and Drain is tied to node "L".

These are power FETs whose drains are tied together.

102 bb) Der Aufbau des aus K46 ersichtlichen Chips mit der Versionsnummer ...105 stimmt nach den Feststellungen des Patentgerichts im hier relevanten und nachfolgend gezeigten Bereich mit demjenigen aus K14 überein.

103 Wie unter anderem der nachfolgend wiedergegebenen Fotografie auf Seite 8 entnommen werden kann, befinden sich die PMOS-Transistoren in einer Vielzahl vertikaler Linien auf einer ersten Metallisierungsebene M1 (blau) mit von links nach rechts verlaufenden Polysiliziumgates (grün). Die Gates, Sources (S) und Drains (D) werden durch die gelb eingezeichneten Vias kontaktiert.

8

MPbuck PFET

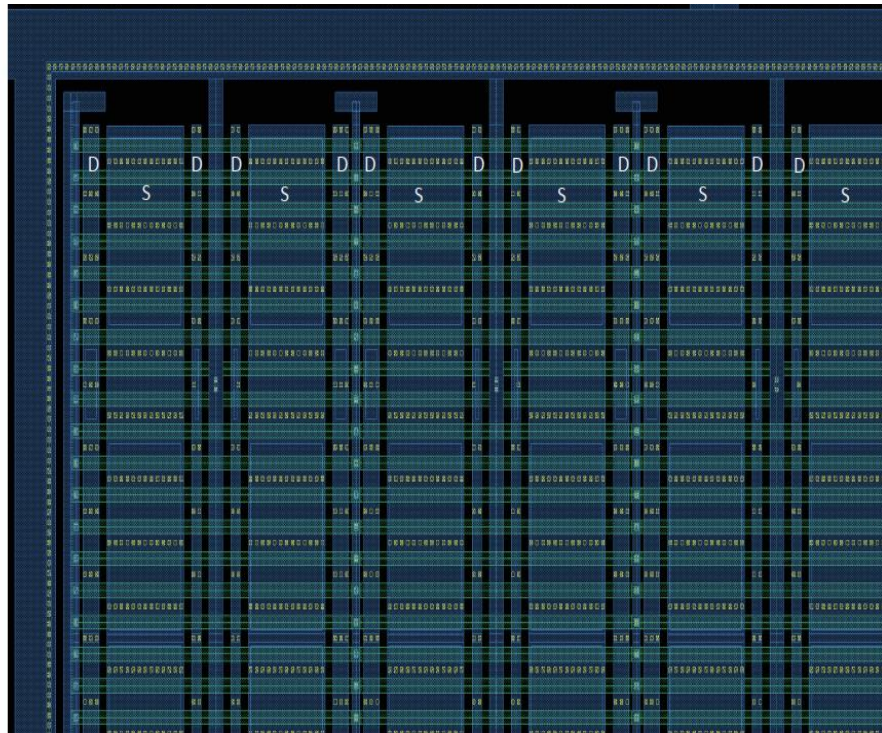
PFET with M1, CA, and Poly showing Source (S) and Drain (D) vertical M1 connections.

M1 is Metal 1 and drawn in Blue

Poly is GATE drawn in Green

CA (Contact) is little yellow squares which connect the S/D regions to M1.

The individual Drains of different grouping of PFETs are not tied together in Metal 1.



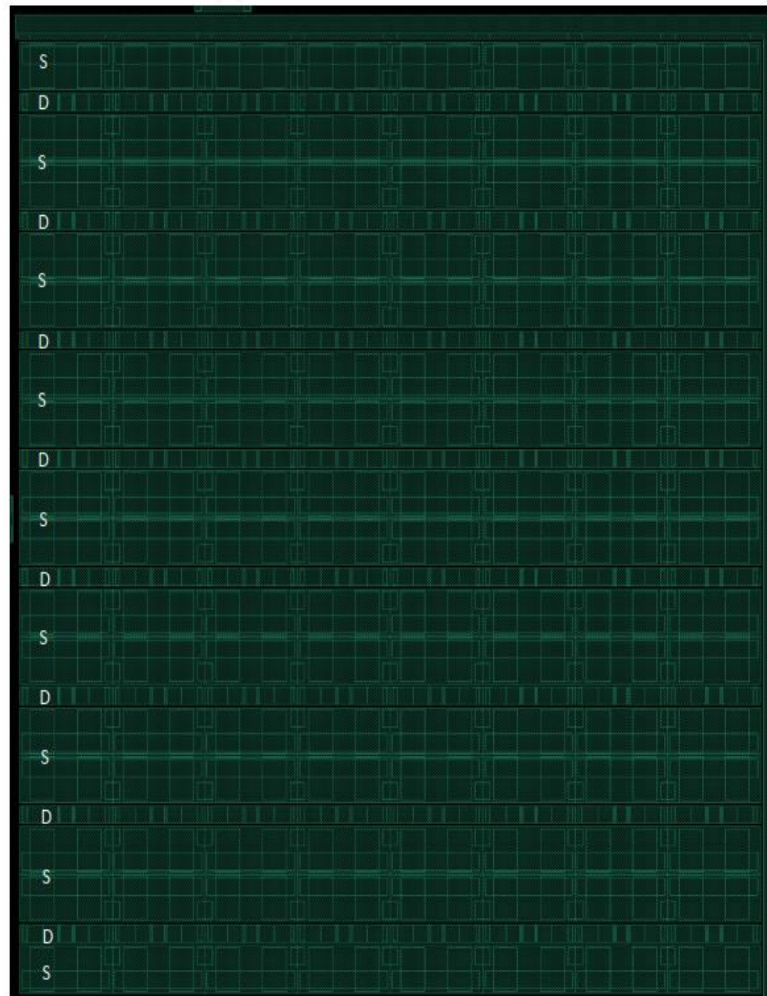
104 In dem mit D bezeichneten Bereich sind die Drains auf der Metallisierungsebene M1 durch von oben nach unten verlaufende Streifen verbunden. Zumindest hinter dem von links gezählt vierten mit D bezeichneten Streifen besteht keine Verbindung zu den davor verlaufenden Drain-Streifen.

105 Die nachfolgend wiedergegebene Fotografie auf Seite 11 zeigt eine zweite Metallisierungsebene MT, durch die Drains der Vielzahl von PMOS-Transistoren mittels von links nach rechts verlaufender Metallstreifen miteinander verbunden werden.

11

MPbuck PFET

This is MT, the second metal in the stack, used in connecting groups of PFETs drains together (M1 groups), previous slides



106 Die NMOS-Transistoren sind in entsprechender Weise angeordnet.

107 Nach einer weiteren Ebene E1 (S. 22) erfolgt eine Verbindung der Drains der PMOS- und NMOS-Transistoren in einer vierten Metallisierungsebene MA, wie dies in der nachfolgend wiedergegebenen Fotografie auf Seite 27 dargestellt ist.

27

NFET & PFET DRAIN connections

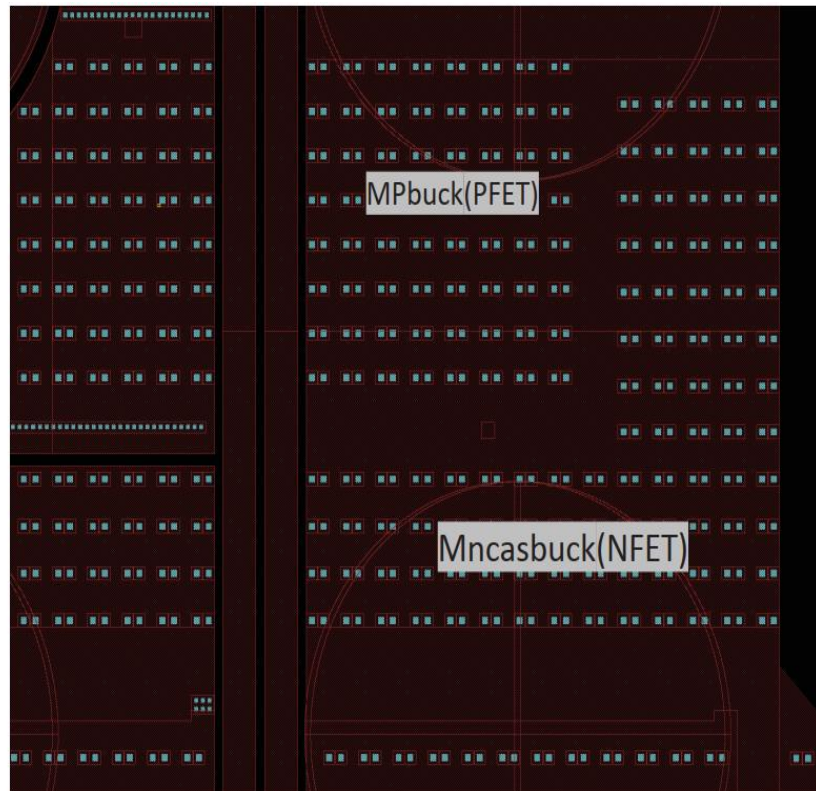
Zoom out showing how groups of E2 DRAIN connections are gathered using MA

MA is the fourth metal in the stack, drawn in red

E2 is a VIA connecting MA with E1, drawn in cyan

E1 is not drawn as to better show how the two FET's are connected.

MA connects all the groups of NFETs and PFETs of drains together.



108 cc) Damit sind, wie auch die Beklagte nicht in Zweifel zieht, die Merkmale 1.1 bis 1.13.1 offenbart.

109 dd) Entgegen der Auffassung der Beklagten handelt es sich bei dem offenbarten Halbleiter um eine CMOS-Vorrichtung gemäß Merkmal 1.

110 Wie bereits oben aufgezeigt wurde, ist hierfür ausreichend, dass der Halbleiter in CMOS-Technologie hergestellt wurde. Ob er auch eine CMOS-Logik enthält, ist unerheblich.

111 IV. Hinsichtlich der Hilfsanträge 1 und 1a sowie der jeweils mit einem bzw. zwei Apostrophen gekennzeichneten Varianten ergibt sich keine abweichende Beurteilung.

112 1. Die für alle Anträge vorgesehene, mit einem Apostroph gekennzeichneten Varianten, bei der das Merkmal 1.13.1 entfällt, ist bezüglich der Patentfähigkeit schon deshalb nicht anders zu beurteilen, weil dieses Merkmal nach dem Hauptantrag fakultativ ist.

113 2. Für die mit zwei Apostrophen gekennzeichnete Variante, die das Merkmal 1.13.1 als zwingendes Merkmal vorsieht, ergibt sich ebenfalls keine abweichende Beurteilung.

114 Dieses Merkmal ist ebenfalls durch die Vorbenutzung RF6560 offenbart.

115 a) Nach dem modifizierten Merkmal 1.13.1 muss der Ausgang der Vorrichtung mit der siebten Zwischenverbindung verbunden sein.

116 Damit ist zwar nicht konkret angegeben, in welcher Weise die Verbindung zu erfolgen hat. Wie das Patentgericht im Zusammenhang mit der von ihm als rechtsbeständig angesehenen aufrechterhaltenen Fassung zutreffend ausgeführt hat, ergibt sich aber aus dem Zusammenhang der in Patentanspruch 1 enthaltenen Vorgaben zu den unterschiedlichen Zwischenverbindungen und Verbindungsebenen, dass der Ausgang in räumlich-körperlicher Hinsicht der siebten Zwischenverbindung zugeordnet sein muss und nicht so ausgestaltet sein darf, dass er zugleich einer anderen Verbindung zugeordnet werden kann.

117 Das schließt aus, dass die Verbindung lediglich vermittelt über eine andere Zwischenverbindung oder Verbindungsebene erfolgt.

118 b) Zu Recht hat das Patentgericht entschieden, dass diese Ausgestaltung durch die Vorbenutzung RF6560 offenbart ist.

119 Bei der in K46 dargestellten Anordnung dient die in der vierten Metallisierungsebene liegende siebte Zwischenverbindung (S. 3 und 6 jeweils rechts) als Bondpad und damit als Ausgang für den Chip. Dies entspricht den oben aufgezeigten Vorgaben.

120 3. Die nach Hilfsantrag 1 vorgesehene Streichung von Merkmal 1.9
führt ebenfalls nicht zu einer abweichenden Beurteilung.

121 Wie bereits oben dargelegt wurde, ergibt sich aus Merkmal 1.9 entgegen
der Auffassung des Patentgerichts nicht, dass die fünfte und die sechste Zwi-
schenverbindung teilweise in der ersten Zwischenverbindungsebene verlaufen
dürfen. Die Streichung dieses Merkmals führt insoweit nicht zu einer inhaltlichen
Änderung des geschützten Gegenstands.

122 4. Die in Hilfsantrag 1a vorgesehene Ergänzung des Hilfsantrags 1
dahin, dass die erste und die zweite Zwischenverbindung auf der Zwischenver-
bindungsebene nicht mit der dritten oder der vierten Zwischenverbindung ver-
bunden sein dürfen, schließt Ausgestaltungen aus, wie sie in den Figuren 9 und
11 dargestellt sind.

123 Diese Einschränkung vermag nicht zur Bejahung der erfinderischen Tätig-
keit zu führen, weil nicht erkennbar ist, welche Vorteile sie im Vergleich zu der im
Stand der Technik bereits offenbarten und im Streitpatent als besonders vorteil-
haft dargestellten Lösung nach dem Vorbild von Figur 11 bringt.

124 V. Der mit Hilfsantrag 2a verteidigte Gegenstand ist demgegenüber
patentfähig.

125 1. Nach Hilfsantrag 2a, der dem erstinstanzlichen Hilfsantrag 1b ent-
spricht, soll Patentanspruch 1 in der Fassung des zweitinstanzlichen Hauptan-
trags wie folgt geändert werden:

- vor Merkmal 1.3 soll folgendes Merkmal 1.22 eingefügt werden:
at least three metal layers above the drains of the transistors, comprising a
first metal layer, a second metal layer and a third metal layer; wherein the first
metal layer is the lowest metal layer above the drains, the second metal layer
is the next metal layer above the first metal layer and the third metal layer is
the next metal layer above the second metal layer;

- in Merkmal 1.3 sollen die Wörter "on an interconnect level" ersetzt werden durch "on a first interconnect level on the first metal layer";
- in den Merkmalen 1.4, 1.5, 1.6, 1.7 und 1.8 soll vor dem Wort "interconnect level" jeweils das Wort "first" eingefügt werden;
- in Merkmal 1.11 soll nach den Wörtern "on a second interconnect level" eingefügt werden: "on the second metal layer";
- in Merkmal 1.13 soll nach den Wörtern "on a third interconnect level" eingefügt werden: "on the third metal layer".

126 2. Die daraus resultierenden Änderungen bedürfen näherer Betrachtung.

127 a) Entgegen der Auffassung der Klägerin dürfen zwischen den drei in Merkmal 1.22 vorgesehenen Metallschichten keine weiteren Metallschichten angeordnet sein.

128 Dies ergibt sich aus der in Merkmal 1.22 enthaltenen Festlegung, dass die zweite und die dritte Metallschicht jeweils als nächste Metallschicht über der ersten bzw. zweiten Schicht liegen.

129 b) Aus der Zusammenschau mit den modifizierten Merkmalen 1.3, 1.11 und 1.13 ergibt sich, dass die danach vorgesehenen drei Zwischenverbindungsebenen in den drei Metallschichten nach Merkmal 1.22 angeordnet sind.

130 Dies ergibt sich aus der in allen drei eingangs genannten Merkmalen enthaltenen Bezugnahme auf "die" Metallschicht mit der jeweils entsprechenden Ordnungsziffer.

131 3. Entgegen der Auffassung der Klägerin ist Merkmal 1.22 in den ursprünglich eingereichten Unterlagen als zur Erfindung gehörend offenbart.

132 a) Wie die Patentschrift spricht auch die Anmeldung - deren Inhalt mit der Offenlegungsschrift (K3) übereinstimmt - im Zusammenhang mit den Ausführungsbeispielen nach den Figuren 2 und 3 lediglich von "einer" oder "der" ersten, zweiten und dritten Metallschicht, ohne deren Lage genauer zu spezifizieren (Abs. 36-38). In Zusammenhang mit dem Ausführungsbeispiel nach den Figuren 4 bis 13 werden die Schichten hingegen mit M1, M2 und M3 bezeichnet (Abs. 39-61).

133 aa) Die Bezeichnungen M1, M2 und M3 werden nach den Feststellungen des Patentgerichts zu dem in einigen erstinstanzlichen Hilfsanträgen vorgesehenen Merkmal 1.21 üblicherweise für die untersten drei Schichten auf einem Chip verwendet. Damit ist, wie auch das Patentgericht zutreffend angenommen hat, die in Merkmal 1.22 vorgesehene Anordnung ursprünglich offenbart.

134 bb) Soweit die Klägerin die genannten Bezeichnungen demgegenüber als bloße Ordnungszahlen verstehen will, zeigt sie keine Umstände auf, die dafür sprechen könnten, dass die Bezeichnungen in der Anmeldung abweichend vom üblichen Sprachgebrauch verwendet werden.

135 In den Ausführungsbeispielen folgen die drei Schichten unmittelbar aufeinander und eine unterhalb der Schicht M1 angeordnete Schicht wird nicht erwähnt.

136 Dem Umstand, dass die Figuren 4 bis 13 eine stark schematisierte und auf die Verbindung der Drains fokussierte Darstellung zeigen, ist nicht zu entnehmen, dass die in diesem Zusammenhang verwendeten Bezeichnungen M1, M2 und M3 in einer vom üblichen technischen Sprachgebrauch abweichenden Bedeutung verwendet werden. Aus dem Zusammenhang ergibt sich zwar, dass die beschriebene Vorrichtung auch Verbindungen für andere Elemente enthalten muss, insbesondere für Sources und Gates. Dies erfordert aber auch nach dem Vorbringen der Klägerin nicht zwingend, dass zwischen die in den Ausführungsbeispielen gezeigten Schichten oder darunter zusätzliche Schichten eingefügt werden müssen.

137 Ob die Bezeichnung M1 in der europäischen Patentanmeldung 2 378 806 (K6) oder in dem US-amerikanischen Patent 7 112 855 (K54) in anderem Sinne verwendet wird, bedarf keiner abschließenden Entscheidung. Selbst wenn dies zu bejahen wäre, ergäben sich daraus keine konkreten Anhaltspunkte dafür, dass auch der Anmeldung des Streitpatents ein vom üblichen fachlichen Sprachgebrauch abweichendes Verständnis zugrunde liegt.

138 b) Vor diesem Hintergrund kann offenbleiben, ob die Anmeldung auch abweichende Ausführungsformen als zur Erfindung gehörend offenbart, bei denen zwischen oder unter den drei für die Verbindung der Drains genutzten Schichten zusätzliche, anderen Zwecken dienende Schichten angeordnet sind. Selbst wenn dies zu bejahen wäre, ergibt sich aus der Schilderung der genannten Ausführungsbeispiele, dass jedenfalls auch solche Ausführungsformen beansprucht sind, bei denen zusätzliche Schichten an den genannten Stellen nicht vorhanden sind.

139 c) Entgegen der Auffassung der Klägerin ist der Anmeldung nicht zu entnehmen, dass die Vorrichtung ausschließlich drei Metallschichten aufweisen darf.

140 Die Anmeldung und das Streitpatent befassen sich zwar nur mit drei Schichten. Schon aus dem Umstand, dass neben den im Mittelpunkt der Betrachtung stehenden Drains auch andere Elemente der Vorrichtung miteinander verbunden werden müssen und die Anmeldung hierzu keine Festlegungen trifft, ergibt sich aber hinreichend deutlich, dass weitere Schichten vorhanden sein können.

141 4. Der mit Hilfsantrag 2a verteidigte Gegenstand ist patentfähig.

142 a) Durch K9 war dieser Gegenstand aus denselben Gründen nicht offenbart oder nahegelegt wie der mit dem zweitinstanzlichen Hauptantrag verteidigte Gegenstand.

143 b) Durch die Vorbenutzung RF6560 war der genannte Gegenstand ebenfalls weder offenbart noch nahegelegt.

144 aa) Wie das Patentgericht im Zusammenhang mit dem erstinstanzlichen Hilfsantrag 3b zutreffend dargelegt hat, ist das modifizierte Merkmal 1.13 in K14 und K46 nicht offenbart.

145 Die Verbindungen zwischen den fünften und sechsten Zwischenverbindungen werden in K14 und K46 durch die dritte Metallisierungsebene nur hindurchgeführt und erst in der vierten Metallisierungsebene hergestellt (K14 S.13 f. und S. 22 f.).

146 bb) Entgegen der Auffassung des Patentgerichts war das modifizierte Merkmal 1.13 ausgehend von der Vorbenutzung RF6560 nicht nahegelegt.

147 (1) Nach den Feststellungen des Patentgerichts ist es aus technischer Sicht zwar grundsätzlich irrelevant, in welcher Reihenfolge die beiden Metallisierungsebenen zur Verbindung der Drains und der Sources angeordnet werden.

148 Nach dem insoweit unwidersprochen gebliebenen Vorbringen der Beklagten war es ausgehend von dem in K14 und K46 gezeigten Aufbau aber nicht ohne weiteres möglich, die für die Verbindung der Sources genutzte dritte Metallisierungsebene stattdessen für die Verbindung der Drains zu nutzen, weil dann der in K14 und K46 gezeigte Anschluss mittels Bondpads in der vierten Ebene nicht möglich wäre, was eine weitere Umkonfiguration notwendig machen würde.

149 Vor diesem Hintergrund bedurfte es einer besonderen Anregung, die Funktion der dritten und der vierten Metallisierungsebene zu tauschen. Wie das Patentgericht im Zusammenhang mit der von ihm für rechtsbeständig erachteten Fassung zutreffend dargelegt hat, ergab sich eine solche Anregung weder aus K14 oder K46 noch aus sonstigen Umständen.

150 (2) Der vom Patentgericht ergänzend herangezogene Umstand, dass K14 an anderer Stelle eine Verbindung für die Drains in der dritten Metallisierungsebene zeigt, spricht nicht gegen, sondern ebenfalls für die Bejahung erfinderischer Tätigkeit.

151 Die unterschiedliche Reihenfolge der Source- und Drain-Verbindungen an unterschiedlichen Stellen des Chips spricht ebenfalls dafür, dass die Auswahl zwischen den in Betracht kommenden Möglichkeiten nicht beliebig ist, sondern sich an anderen Gegebenheiten der Konstruktion orientiert. Auch unter diesem Aspekt bedurfte es einer besonderen Anregung, die in K14 und K46 offenbarte Reihenfolge in dem hier relevanten Bereich zu ändern.

152 VI. Die Kostenentscheidung folgt aus § 121 Abs. 2 PatG sowie § 97 Abs. 1 und § 92 Abs. 1 Satz 1 ZPO.

Bacher

Hoffmann

Deichfuß

Marx

Crummenerl

Vorinstanz:

Bundespatentgericht, Entscheidung vom 22.10.2020 - 2 Ni 21/20 (EP) -